

(43)公開日 平成5年(1993)1月22日

(51)IntCl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/32				
15/78	5 1 0 P	7530-5L		
		7832-5B	G 0 6 F 1/00	3 3 2 Z

審査請求 未請求 請求項の数15(全 26 頁)

(21)出題番号 特願平3-304289

(22)出願日 平成3年(1991)11月20日

(31)優先権主張番号 特願平2-318450

(32)優先日 平 2 (1990)11月22日

(33)優先権主張国 日本 (JP)

(31)優先權主張番号 特願平2-328903

(32)優先日 平2(1990)11月30日

(33)優先権主張国 日本 (J P)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 永重 ゆかり

神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所マイクロエレクトロニク  
ス機器開発研究所内

(72) 発明者 宮沢 章一

神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所マイクロエレクトロニク  
ス機器開発研究所内

(74)代理人 弁理士 富田 和子

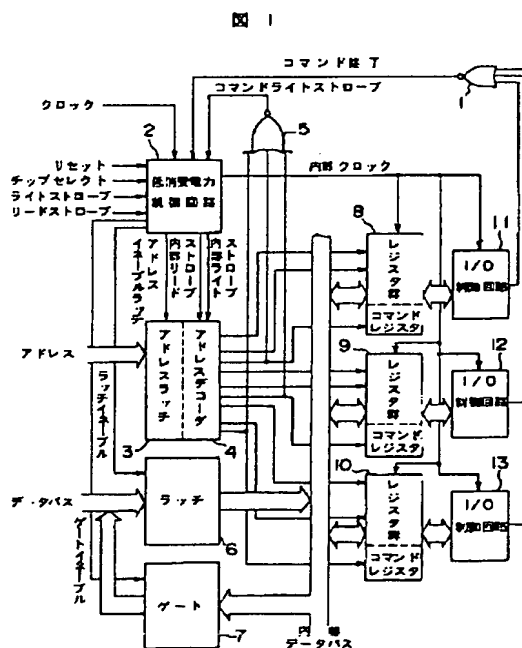
[最終頁に続く](#)

(54) 【発明の名称】 周辺制御装置およびＳＣＳＩバス制御装置

(57) 【要約】

【構成】バスに接続されたプロセッサなどの処理手段に対する周辺装置を制御するための、該バスに接続された周辺制御装置において、前記バスを介して、前記処理手段からのアクセスの開始を検出する活性化開始検出手段と、該アクセスにもとづく動作の終了を検出する活性化終了検出手段と、前記活性化開始検出手段および前記活性化終了検出手段の出力に対応して、当該周辺制御装置の消費電力を制御する消費電力制御手段とを備えた。

【効果】周辺装置、周辺機器制御装置の低消費電力化が図れる。また、外部のプロセッサ等の負担を軽減しながら、消費電力を最大限に低減することができる周辺制御用 LSI を提供することができる。さらに、周辺制御装置において、外部のプロセッサ等からのコマンド待ち状態における消費電力を削減し、かつ、良好な応答性を維持することができる。特に、SCSI システムの消費電流の削減を容易に行なうことが可能である。



1

2

## 【特許請求の範囲】

【請求項1】バスに接続されたプロセッサなどの処理手段に対する周辺装置を制御するための、該バスに接続された周辺制御装置において、

前記バスを介して、前記処理手段からのアクセスの開始を検出する活性化開始検出手段と、

該アクセスにもとづく動作の終了を検出する活性化終了検出手段と、

前記活性化開始検出手段および前記活性化終了検出手段の出力に対応して、当該周辺制御装置の消費電力を制御する消費電力制御手段と、

を備えたことを特徴とする周辺制御装置。

【請求項2】前記消費電力制御手段は、前記活性化終了検出手段の出力にตอบสนองして、当該周辺制御装置を低消費電力状態に設定することを特徴とする請求項1記載の周辺制御装置。

【請求項3】前記消費電力制御手段は、前記活性化開始検出手段の出力にตอบสนองして、当該周辺制御装置を低消費電力状態から解除することを特徴とする請求項2記載の周辺制御装置。

【請求項4】前記低消費電力状態において、前記活性化開始検出手段のみが電力供給されており、前記低消費電力状態が解除された場合、当該周辺制御装置全体が電力供給されることを特徴とする請求項3記載の周辺制御装置。

【請求項5】前記バスはSCSI (Small Computer System Interface) バスであり、前記活性化開始検出手段は、該SCSIバスを介して送られてくるIDを認識するID認識部を少なくとも含んでいることを特徴とする請求項1または4記載の周辺制御装置。

【請求項6】当該周辺制御装置は一個の半導体集積回路として形成されており、前記消費電力制御手段は前記低消費電力モードにおいて、該半導体集積回路内の駆動クロック源をカットオフとすることを特徴とする請求項2記載の周辺制御装置。

【請求項7】当該周辺制御装置は一個の半導体集積回路として形成されており、前記消費電力制御手段は前記低消費電力モードにおいて、該半導体集積回路内の電源をカットオフとすることを特徴とする請求項2記載の周辺制御装置。

【請求項8】前記活性化開始検出手段は前記処理手段から当該周辺制御装置へのコマンドの設定を前記アクセスの開始とし、前記活性化終了検出手段は該コマンドの処理終了を前記アクセスにもとづく動作の終了とすることを特徴とする請求項1記載の周辺制御装置。

【請求項9】SCSI (Small Computer System Interface) バスに接続されたプロセッサに対する周辺装置と、該SCSIバスとの間に介在するSCSIバス制御装置において、  
前記SCSIバスを介して前記プロセッサから送られて

くるデータに基づき、前記周辺装置を制御する、内部バスに接続された中央処理装置 (CPU) と、

前記SCSIバスと該内部バスとの間に位置し、該データの送受を制御するバス制御手段であって、前記SCSIバスからの前記データ中のSCSIプロトコルが規定するSCSIDを認識し、この認識結果に基づき当該バス制御手段の消費電力を制御する制御信号を発生する手段を少なくとも有する第1のブロックと、前記データの送受を実行するシーケンス手段を少なくとも有する第2のブロックとからなるバス制御手段と、

前記バス制御手段の前記第1のブロックに常に電源をオンし、前記第2のブロックには前記制御信号に応じて電源をオン・オフする電源制御手段と、

を備えたSCSIバス制御装置。

【請求項10】前記バス制御手段は一つの半導体集積回路によって構成されていることを特徴とする請求項9記載のSCSIバス制御装置。

【請求項11】前記第1のブロックは、前記SCSIバスに接続され、前記データを受けるレシーバ手段と、該レシーバ手段に受け入れられた前記データ中の前記SCSIDを認識し、前記制御信号として前記第2のブロックの電源をオンするスリープ解除信号を前記電源制御手段に送出する認識手段を含むことを特徴とする請求項9記載のSCSIバス制御装置。

【請求項12】前記第1のブロックは、更に、該スリープ解除信号が入力され、前記第2のブロックに駆動用クロック信号を送付するためのスリープ制御手段を含むことを特徴とする請求項11記載のSCSIバス制御装置。

【請求項13】前記シーケンス手段は、前記スリープ解除信号に伴う動作の実行が完了した際、前記スリープ制御手段にスリープ状態設定信号を送出し、前記スリープ制御手段は該スリープ状態設定信号に応じて前記第2のブロックに前記駆動用クロック信号の送付を停止することを特徴とする請求項12記載のSCSIバス制御装置。

【請求項14】前記第2のブロックは、更に複数の回路ブロックに分れており、前記スリープ制御手段は該複数の回路ブロックに対応するスリープ解除情報を管理するレジスタ手段を有する請求項12または13記載のSCSIバス制御装置。

【請求項15】低消費電力モードを有する半導体集積回路において、  
半導体集積回路内の特定の回路の活性化開始を検出する活性化開始検出手段と、

該活性化の終了を検出する活性化終了検出手段と、

前記活性化開始検出手段の出力により低消費電力モードを解除し、前記活性化終了検出手段の出力により低消費電力モードに復帰する制御を行う制御手段と、

を備えたことを特徴とする半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、ワークステーション、パーソナルコンピュータ等の周辺装置、特に周辺機器制御装置の半導体集積回路の低消費電力化のための構成に関する。

## 【0002】

【従来の技術】従来、ワークステーション、パーソナルコンピュータ等の周辺装置、これを制御する周辺制御用のLSI (Large Scale Integrated) の低消費電力化につ

いて種々の検討がなされている。  
【0003】例えば、周辺制御用LSIでは低消費電力モード指定の専用の入力端子を有し、外部マイクロプロセッサや低消費電力コントローラからの出力信号によって、指示された期間、低消費電力モードを保つよう構成される。これによって、周辺制御用LSIの内部の、例えば基準クロックで動作するデジタル回路においては、その一部又は全部のクロックを上述した指定期間停止させることにより、低消費電力化を図っていた。又、周辺制御用LSIの内部のアナログ回路においても、指定期間中、電流源回路の一部又は全てをカットオフさせることで低消費電力化を図っていた。

【0004】又、他の従来例として、ハードディスク、CDROM (Compact Disk Read Only Memory)、フロッピーディスクなどの周辺装置においては、アルプス電気株式会社発行の、小型ハードディスク装置、DDR040C製品仕様書(第1版)に記載のように、システムの小型軽量化のために、ホストコンピュータを構成するマイクロプロセッサ等から、コマンドを受け取り、実行しているとき以外、消費電力を抑える構造となっている。

【0005】図20にDDR040Cの構成概略図を示す。このDDR040Cは、磁性体よりなる円板1801および該円板1801に記録された磁気情報を読み取るヘッド1802、該ヘッド1802を前記円板1801上の目的の位置まで動かすヘッドアクチュエータ1803、前記円板1801を回転させるスピンドルモータ1804、前記ヘッドアクチュエータ1803の動作を制御するアクチュエータ制御回路1805、DDR040C全体の動作を制御するCPU (Central Processing Unit) 1806、該CPU1806からの制御信号により前記スピンドルモータ1804を制御するスピンドルモータ制御回路1807、前記CPU1806からのデジタル情報をアナログ情報にかえ前記アクチュエータ制御回路1805に渡すD/Aコンバータ1808、前記ヘッド1802から読み取られた信号を、波形整形し、パルス列に変換するREAD/WRITE回路1810、該READ/WRITE回路1810によって作られたパルス列をパラレルデータに変換するハードディスクコントローラ1811、前記READ/WRITE回路1810により検出された、ヘッド位置決めなどの

アナログ情報をデジタル情報に変え前記CPU1806に渡すA/Dコンバータ1809、円板1801より読み取られた信号またはATバス1812から与えられた信号を一時的に保存し、ATバス1812と円板1801の読み取りの速度差を調整するバッファ1813、CPU1806により制御されATバス1812を制御するATバス制御回路1814から構成される。

【0006】なお、ここでATバスとはPC/AT (これは、米国IBM社の登録商標である。)のインタフェースを有するバスを意味する。

【0007】DDR040Cは、ATバスからコマンドを受け取り実行していないとき、以下のように制御し消費電力を抑える。

【0008】1. ATバスから受け取ったコマンドがすべて完了したとき、DDR040Cは、アイドルモード(1)にはいる。アイドルモード(1)の状態にあるとき、DDR040C内のCPU1806は前記ハードディスクコントローラ1811を停止させ、前記READ/WRITE回路1810の電源を切断する。

【0009】2. アイドルモード(1)にはいつてから更に5秒間ATバスからアクセスされなかったとき、DDR040Cは、アイドルモード(2)にはいる。アイドルモード(2)の状態にあるとき、DDR040C内のCPU1806は、前記アクチュエータ制御回路1805、D/Aコンバータ1808、A/Dコンバータ1809の電源を切断する。

【0010】3. アイドルモード(2)にはいつてから一定時間(デフォルトは3分)ATバスからアクセスされなかったとき、DDR040Cはスタンバイモードにはいる。スタンバイモードの状態にあるとき、DDR040C内のCPU1806は、前記スピンドルモータ制御回路1807およびスピンドルモータ1804の電源を切断する。また、CPU1806もスリープ状態になる。

【0011】4. ATバスからのスリープコマンドの受信により、DDR040Cは、完全な低消費電力モードであるスリープモードにはいる。スリープモードの状態にあるとき、DDR040Cはスタンバイモードの状態から更に、ATバス制御回路1814をスリープ状態にする。スリープモードにあるとき、DDR040CはATバスからのコマンドを受け付けず、RESETによってのみ、ドライブを起動することが出来る。DDR040Cは、上記のように動作することにより、ホストコンピュータから、コマンドを受け取り実行していないとき消費電力を抑えることが出来る。

## 【0012】

【発明が解決しようとする課題】上述した従来技術のうち、前者においては、低消費電力化モードを周辺制御用LSIの外部のマイクロプロセッサやコントローラが指示している。そのため、最大限の低消費電力化を実現す

5

るためには、外部のマイクロプロセッサ等が、多数回低消費電力モード指令を出す必要があり、外部のマイクロプロセッサ等の負担が大き過ぎるという問題があった。

【0013】又、外部のマイクロプロセッサ等は、低消費電力化を指示する周辺制御用LSI内部の動作状態を正確に把握できないため、きめ細かく低消費電力化のための制御を実行できず、最大限の低消費電力化を実現できないという問題点があった。

【0014】一方、後者の従来例においては、スタンバイモードでは、ATバス制御回路14にて消費される電流については考慮されておらず、消費電力が大きくなるという点で問題があった。又、完全な低消費電力モードであるスリープモードでは、コマンドを全く受け付けず、ホストコンピュータ等からのリセットによってのみ起動可能であり、応答性の点の考慮されておらず、ホストコンピュータのオーバーヘッドが大きくなるという問題があった。

【0015】本発明の目的は、周辺装置、周辺機器制御装置の低消費電力化の構成を提供することにある。

【0016】本発明の他の目的は、外部のプロセッサ等の負担を軽減しながら、消費電力を最大限に低減することができる周辺制御用LSI等の周辺制御装置を提供することにある。

【0017】本発明の更なる目的は、外部のプロセッサ等からのコマンド待ち状態における、消費電力を削減できる周辺制御装置を提供することにある。

【0018】本発明の更なる他の目的は、外部のプロセッサ等からのコマンド待ち状態における消費電力を削減しても、応答性の良い周辺制御装置を提供することにある。

【0019】本発明の他の更なる目的は、SCSI (Small Computer System Interface) システムの消費電流の削減を容易に行なうことが可能であるSCSIバス制御装置を提供することにある。

【0020】

【課題を解決するための手段】上記目的を達成するため、本発明においては、プロセッサ等の外部処理手段が接続されているバスに接続された周辺制御装置であって、外部処理手段からのアクセス開始を検出する活性化開始検出手段と、アクセス動作の終了を検出する活性化終了検出手段と、消費電力制御手段とを有し、活性化開始検出手段の出力により、消費電力制御手段が低消費電力モードの解除を行ない、活性化終了検出手段の出力により、消費電力制御手段が低消費電力モードに復帰するよう制御を行なう構成とする。

【0021】外部処理手段による周辺制御装置のアクセスは、外部処理手段から周辺制御装置に対するコマンド設定の際や、外部処理手段による周辺制御装置のステータス検出の際に開始される。

【0022】更に、本発明においては、ホストコンピュ

6

ータやメインCPUと周辺機器を接続するバスがSCSIバスで構成されたSCSIシステムにおいて、ホストコンピュータ等による周辺機器制御装置や周辺制御用LSIのアクセス開始となるセレクションフェーズの際のSCSI用IDを検出するID認識手段を上述した活性化開始検出手段とする構成とする。

【0023】

【作用】本発明においては、周辺制御装置や周辺制御用LSIが外部のマイクロプロセッサ等のホストコンピュータからのコマンド待ちなどの状態において、低消費電力モードにしておき、ホストコンピュータからのコマンド設定/ステータス検出などのアクセス開始時に、低消費電力モードを解除する。これにより、装置やLSI内部における累積的な、無駄な消費電力の損失を削減させ、徹底した低消費電力化を実現することができる。

【0024】上述した、活性化開始検出手段、活性化終了検出手段、及び消費電力制御手段は周辺機器制御装置や周辺制御LSIの内部に位置する。周辺機器制御装置とは、メインCPUに対する周辺機器の制御装置であり、例えば、ファイルコントローラ、表示コントローラ、キーボードコントローラ、プリンタコントローラ、通信コントローラを意味し、周辺制御LSIとはそれらの半導体集積回路をいう。

【0025】本発明において、消費電力制御手段は、低消費電力モードであるスリープモードにおいて、装置やLSI内部の主要部分のデジタル回路のクロック源、又はアナログ回路の電源をカットすることにより、装置やLSIの主要部分の動作を停止させ、低消費電力状態を維持する。そして、ホストコンピュータやメインCPUからのコマンド設定やステータス検出などによるアクセスが開始されると、常時動作している活性化開始検出手段がそのアクセス開始を検出し、この検出に基づき、消費電力制御手段が低消費電力モードを解除する。更に、このアクセス開始にともなう動作の終了を活性化終了検出手段が検出すると、消費電力制御手段は再度低消費電力モードを設定する。

【0026】本発明によるSCSIシステムにおいては、SCSIのID認識手段を他の機能ブロックと分離し、コマンド待ち状態などにおいて、この他の機能ブロックをスリープモードに設定しておくことにより、SCSIシステムの消費電力の削減を容易に行うことができる。

【0027】以上、本発明の概略を説明したが本発明はこれらの記載に限定されるものでない。又、本発明の他の側面は以下に説明する本発明の実施例から明らかになる。

【0028】

【実施例】以下、本発明の実施例を図面を用いて詳述する。

【0029】図3に、本発明の周辺機器制御装置又は周

辺制御用LSIが用いられる情報処理装置の構成例を示す。この情報処理装置は、ワークステーションやパーソナルコンピュータ等の基本構成であり、メインCPU14、ROM15、RAM16がバス50に接続されている。このバス50には、ファイルコントローラ17、表示コントローラ18、キーボードコントローラ19、プリンタコントローラ20、通信コントローラ21等が接続されている。又、これらのコントローラには、それぞれファイル装置22、液晶やCRTディスプレイ23、キーボード24、プリンタ25、通信路が接続されている。

【0030】本発明の周辺制御装置又は周辺制御用LSIとは、このような情報処理装置において、ファイルコントローラ17、表示コントローラ18、キーボードコントローラ19、プリンタコントローラ20、通信コントローラ21等を意味する。

【0031】図1は、本発明の一実施例である周辺制御装置又は一チップ構成の周辺制御用LSIを示す図である。同図の消費電力制御回路2は、同図の装置又はLSIが、バス50を介してメインCPU14からのコマンド設定又はコマンド以外のアクセスを受けていない時は、内部クロックを停止させ、レジスタ群8~10、1/O制御回路11~13の動作を停止させ、スリープモードとして消費電力の損失を防ぐ消費電力制御手段であり、活性化検出手段の機能を有する。このとき、消費電力制御回路2、アドレスラッチ3、ラッチ6、アドレスデコーダ4、ゲート5は常時動作状態になっている。

【0032】その後、メインCPU1806からのコマンド設定が発生すると、消費電力制御回路2は、メインCPU14からのチップセレクト、ライトストロープ等、およびアドレスデコーダ4、ゲート5の出力により、コマンド設定開始、すなわち、活性化を検出し、内部クロックをレジスタ群8~10及び1/O制御回路11~13に供給する。

【0033】これにより、レジスタ群8~10、1/O制御回路11~13は動作可能な状態になり、ラッチ6に保持されていたコマンドが各レジスタ群8~10内のコマンドレジスタに移される。このため、メインCPU1806からのコマンドの実行状態になる。このコマンド処理が終了すると、1/O制御回路11~13は、活性化終了検出手段としてのNORゲート1に対しコマンド終了信号を出力し、これらのNORゲート1出力が消費電力制御回路2に入力される。消費電力制御回路2は、これにより再び内部クロック出力を停止させ低消費電力モードに戻る。

【0034】次にメインCPU14からのコマンド設定以外のアクセスにおいては、チップセレクト、ライトストロープ又はリードストロープにより、消費電力制御回路2は、アクセス開始、すなわち、活性化を検出し、制御用LSI又は制御装置を動作可能状態にし、低消費電

力モードの解除を行なう。このとき、アドレスラッチ3、ラッチ6は常時動作状態になっている。ライトデータはラッチ6を介して内部へ、又、リードデータはゲート7を介して外部へ出力される。また、このような断続的なアクセスは、1回のサイクルが短いため、その終了を消費電力制御回路2内に設けられた活性化終了検出手段が検知し、低消費電力モードにもどす。

【0035】次に、消費電力制御回路2の内部構成の一例を、図2のブロック図、及び図4、図5のタイミングチャートを用いて説明する。メインCPU14からアドレス、コマンドデータが、チップセレクトとライトストロープなどの制御信号と共に送られてくると、消費電力制御回路2では、チップセレクト及びライトストロープから図4に示すようにゲート26、ゲート28を介して、RSフリップフロップ29がセットされる(時点 $t_1$ )。

【0036】又このとき、ゲート43の出力のラッチイネーブル信号によりコマンドデータがラッチ6に保持され、同様にアドレスが、ゲート28の出力アドレスラッチイネーブルによりアドレスラッチ3に保持される。RSフリップフロップ29の出力は、エッジトリガフリップフロップ31、32により周期化され、フリップフロップ32の出力は、ゲート33を介して内部クロックを動作させ、低消費電力モードを解除する(時点 $t_2$ )。

【0037】これによりフリップフロップ34の出力である内部ライトストロープが出力され、アドレスデコーダ4を経由して、コマンドライトストロープ出力がフリップフロップ41に入力される(時点 $t_3$ )。このとき、コマンドライトストロープによりラッチ6に保持されたコマンドがレジスタ群8~9のコマンドレジスタに移され、各1/O制御回路11~13での処理がスタートする。又、フリップフロップ41の出力は、1/O制御回路11~13のゲート1を介したコマンド終了信号を受けつけ可能な状態にする。

【0038】その後、各1/O制御回路11~13のコマンド処理が終了すると、ゲート1を介したコマンド終了信号が消費電力制御回路2のゲート38に入力され(時点 $t_4$ )、ゲート39、フリップフロップ40を介して、RSフリップフロップ29がリセットされる(時点 $t_5$ )。ゲート29の出力はフリップフロップ31、32を介してゲート33を制御し、内部クロックを停止させ、低消費電力モードにもどす(時点 $t_6$ )。

【0039】次に、メインCPU14のコマンド設定以外のアクセスの動作を図5を用いて説明する。低消費電力モード解除のシーケンスは、図4の場合と同様であるが、低消費電力モードへの復帰については、図2のフリップフロップ34の出力である内部ライトストロープ、又はフリップフロップ36の出力である内部リードストロープがアサートされると(時点 $t_{10}$ )、ゲート35、37、39とフリップフロップ40を介してRSフリッ

9

ブフロップ29が図5に示すようにリセットされる(時点 $t_{11}$ )。又、RSフリップフロップ29の出力はフリップフロップ31、32を介してゲート33を制御し、内部クロックを停止させて低消費電力モードに復帰させる(時点 $t_{12}$ )。すなわち、本実施例においては、フリップフロップ34、36、40とゲート群35、37、38、39が活性化終了検出手段として機能することになる。

【0040】なお、以上の実施例の説明はデジタル回路での低消費電力化について述べてきたが、アナログ回路については、図2のフリップフロップ32の出力又はRSフリップフロップ29の出力により、アナログ回路内の電流源をカットオフすることにより、低消費電力化を実現できる。

【0041】さて、引き続き、図6以降の図面を用いて、本発明の第2の実施例を詳述する。この第2の実施例は、SCSI (Small Computer System Interface) に本発明を適用したシステムに関するものである。SCSIシステムは上述した種々の周辺装置や周辺制御装置が接続されるバス27(図3)として、SCSIバスが用いられる場合に適用される。

【0042】一般的な、SCSIバスを制御するSCSIコントロール用LSIとしては、例えばNCR社の高度SCSIコントローラ・53C90A、53C90Bのデータシートに記載されているものがあるが、低消費電力化については配慮されていない。なお、SCSIバスの基本的なプロトコルについては、例えば1990年3月9日にANSI (American National standard for information system)に提案された、SCSI-2などを参照されたい。

【0043】図6は、第2の実施例の原理構成を示している。同図において、SCSIシステムはSCSIバス601とSCSIコントローラ602とからなり、SCSIコントローラ602はSCSIのID認識部603と、他の機能ブロック604と電源供給の面で分離、独立している。更に他の機能ブロック604はスリープ機能を持っている。なお、605は活性化開始を意味するスリープ解除信号である。この機能ブロック604は、後で詳述するように、コマンドキューに入っているコマンドの実行が全て完了した場合に、クロック入力を切断し低消費電力モードであるスリープモードに入るので、SCSIシステムはコマンド待ち状態において、ID認識部603を除き動作を停止し、電流を消費しない。従って、消費電流を小さく抑えることが出来る。

【0044】ID認識部603は、SCSIシステムがSCSIバスを介して他のSCSIシステムに選択されたことを検出する機能を持つ。ID認識部603が、この活性化開始検出手段としての機能により、他のSCSIシステムに選択されたことを検出すると、機能ブロック604に対して最小限必要な一部又は全ての回路を活

10

性化させるスリープ解除信号を送出する。すなわち、最小限必要な一部又は全ての回路にクロックを入力し、活性化することができる。又、ID認識部603と他の機能ブロック604は電源が分かれており、機能ブロック604はスリープ状態になった場合その電源が切断される。そして、ID認識部603の送出したスリープ解除信号605を受けた場合に接続されるので、スリープモードでの消費電力は最小限に抑えられる。

【0045】又、本実施例におけるSCSI制御用LSIは、スリープ状態起動用レジスタ又はスリープ状態起動用入力信号を持ち、スリープ状態設定値がセットされるか、又はスリープ状態起動用信号がアサートされると、ID認識部603を除き、回路がスリープ状態となる。さらに、SCSIコントロールLSIは、ID認識部603の送出したスリープ解除の信号を受けると、各回路ブロック毎のスリープ解除情報を管理するレジスタに設定された値に従い、各回路ブロック毎にスリープ解除を行なうので、ID認識部603での選択状態、また、システム構成によって消費電流が最小になるように制御できる。さらに、前記SCSIコントロールLSIは、通常の割込み信号とは別にID認識部603が出力される外部回路のスリープ解除信号605を持ち、該SCSIコントロールLSIが他のSCSIシステムから選択されたのを認識したとき、ID認識部603は外部回路のスリープ解除信号605をアサートするので、他のSCSIシステムからのコマンド待ち状態において切断していた他の機能ブロック用の電源回路を接続することができ、容易にスリープ状態から復活することができる。

【0046】上述した第2の実施例の原理を実現する具体的構成を図7に示す。同図における1801~1813は先に説明した図20の従来構造の要素と同一のものを示すためここでの説明は省略する。内部CPU1806により制御されSCSIバス601を制御するSCSIバス制御回路701、内部CPU1806から与えられたスリープ信号837により、SCSIバス制御回路701の一部の回路を除き、全ての回路の電源を切断し、又、SCSIバス制御回路701から出力されるスリープ解除信号833により、内部CPU1806、SCSIバス制御回路701及びバッファ1813の電源供給を制御する消費電力制御手段としての電源制御回路835が新たな構成要素である。

【0047】図8に、SCSIバス制御回路701の一例のブロック図を示す。図示の都合上、図の右側がSCSIバス601に接続され、図の左側が内部バス1815に接続され、図7とは左右逆転しているので注意されたい。SCSIバス制御回路701は破線で分けられた機能ブロック841、842、843に大きく分けられる。

【0048】さて、同図において、内部CPUデータバ

ス801は、CPU1806から、SCSIバス制御回路701をアクセスするためのデータバスであり、先の内部バス1815の一部を構成する。リード/ライトコントローラ802は、CPU1806、ハードディスクコントローラ1811などが出力した、RD/、WR/、CS/、DACK/、DWR/、DRD/等の信号により、SCSIバス制御回路701の内部レジスタ803~811、815~818、1608、FIFO819などをアクセスするタイミング信号を生成する回路である。なお、本明細書において、信号名の後“/”は反転信号を意味する。内部レジスタ803、804、805、806、807、808、809、810、811はそれぞれ、転送カウンタレジスタ、宛先IDレジスタ、コマンドレジスタ、コンフィグ1レジスタ、コンフィグ2レジスタ、同期オフセットレジスタ、同期転送周期レジスタ、タイムアウトレジスタ、クロック変換レジスタであり、CPU1806はこれらのレジスタ群に値を設定することにより、SCSIプロトコルを制御することが出来る。

【0049】又、812はSCSIデータバスシングルエンドレシーバであり、813はSCSIデータバスシングルエンド48mAシンクドライバである。814は、SCSIバス制御信号シングルエンドレシーバ、824はSCSIバス制御信号シングルエンド48mAシンクドライバである。815、816、817、818はそれぞれ転送カウンタ、ステータスレジスタ、割込みレジスタ、シーケンスステップカウンタであり、CPU1806はこれらのレジスタ群を読むことにより、SCSIプロトコル実行状況を知ることが出来る。

【0050】819、820は、CPU1806又はバッファ1813からSCSIバス、あるいはSCSIバス又はバッファ1813からCPU1806へ転送するデータを一時的に保存する機能を持つFIFOである。821はCPU1806、バッファ1813からSCSIバスあるいは、SCSIバスからCPU1806、バッファ1813へ転送するデータのパリティ検出器およびパリティ発生器である。823はシーケンサであり、レジスタ803~811の設定、およびレシーバ814より与えられたSCSIバス制御信号の値に従いSCSIプロトコルを制御できる。又、その結果をステータスレジスタ816、割込みレジスタ817に出力する。

【0051】825は本実施例における要部としてのID認識部であり、図6に示した活性化開始検出手段としてのID認識部603に当たり、機能ブロック841に入っている。ID認識部825は、SCSIバス制御信号BSY/とSEL/の値を監視し、BSY/がハイレベルで、SEL/がローレベルのとき、本実施例のIDであるOWNIDとSCSIデータバスSDBO/〜SDB7/の値と比較して、一致しているとスリープ解除信号833を出力する。

【0052】826はスリープ制御回路である。スリープ制御回路826はシーケンサ823から与えられたスリープ設定信号830により、スリープ制御信号828、スリープ制御信号829、スリープ信号827をアサートし、ID認識部825から与えられたスリープ解除信号833によりスリープ制御信号828、829、スリープ信号827をネゲートする機能を持つ。クロック834は、スリープ制御信号828、829とアンドをとったものが、それぞれ機能ブロック842、機能ブロック843のクロックとして用いられるクロック信号である。

【0053】835は消費電力制御手段としての電流制御回路であり、CPU1806から与えられるスリープ信号837等によって、制御されるスイッチ836と電源Vccからなる。この電流制御回路835は、ID認識部825とスリープ制御回路826とレシーバ812とレシーバ814より構成される機能ブロック841に電流を供給する電源Vcc2と、機能ブロック842、843に電流を供給する電源Vcc1とをそれぞれ独立に供給する構成を有する。すなわち電流制御回路835は、CPU1806から与えられるスリープ信号837によりVcc1をオフ状態とし、ID認識部825より与えられるスリープ解除信号833によりVcc1をオン状態とするようスイッチ836を制御する。

【0054】次にレシーバ812、レシーバ814の詳細構成を図11、図12を用いて説明する。

【0055】レシーバ812には、図11に示すように、SDBO/〜SDB7/ 1101、1106、1110、1114、1118、1122、1126、1130とSDBP/1134をそれぞれ入力するヒステリシス付レシーバ1102、1107、1111、1115、1119、1123、1127、1131、1135と、それらの出力した信号をクロック1103（図8のクロック834と等価なクロックである。）で同期化する3段同期化回路1104、1108、1112、1116、1120、1124、1128、1132、1136とから構成される。3段同期化回路1104〜1136はそれぞれSDBO〜SDBP内部信号1105〜1137を出力する。

【0056】一方、レシーバ814は、基本的には図12に示すように、SCSI制御バス信号BSY/1201、SEL/1205、REQ/1209、ACK/1213、I/O/1217、C/D/1221、MSG/1225、ATN/1229、RST/1233（これらの信号の機能については先に示したSCSIプロトコルの規格書を参照されたい。）をそれぞれ入力するヒステリシス付レシーバ1202、1206、1210、1214、1218、1222、1226、1230、1234と、これらが出力した信号をクロック1103で同期化する3段同期化回路1203、1207、12

13

11, 1215, 1219, 1223, 1227, 1231, 1235とから構成される。3段周期化回路1203~1235はそれぞれBSY内部信号1204, SEL内部信号1208, REQ内部信号1212, ACK内部信号1216, I/O内部信号1220, C/D内部信号1224, MSG内部信号1228, ATN内部信号1232, RST内部信号1236を出力する。

【0057】さて、本実施例においては、図8に明らかなようレシーバ814はスリープ制御回路826よりスリープ信号827を受けとる。このスリープ信号827に対応するため、本実施例におけるレシーバ814は、そのREQ/1209, ACK/1213, I/O/1217, C/D/1221, MSG/1225, ATN/1229, RST/1233を入力するレシーバ回路部分は、図10に示す構成となる。なお、図10においては、MSG/1225に対応するレシーバ回路部分を図示したが、REQ/1209, ACK/1213, I/O/1217, C/D/1221, ATN/1229, RST/1233についても同様の構成となる。

【0058】ここで、上述したように、スリープ信号827は、レシーバ814をスリープモードにする信号である。このスリープ信号827が活性化状態となることにより、図10の回路はREQ/1209, AGK/1213, I/O/1217, C/D/1221, MSG/1225, ATN/1229, RST/1233の値にかかわらず、REQ内部信号1212~RST内部信号1236を非活性化状態に保ちつづけることになる。同図において、1001, 1002, 1003はそれぞれインバータ回路、2入力NOR回路、2入力OR回路であり、これらの動作は後に説明する。

【0059】なお、BSY1201, SEL/1205に対応するレシーバ回路部分は、図12に示した構成そのままにしておくのは、図18, 図19に示したようにSCSIプロトコルのID認識に必要な信号であり、常に動作している必要があるからであり、これら以外はSCSIプロトコルのID認識に必要な信号でないので、スリープ信号827によって制御される図10の構成をとることになる。

【0060】次に、図8のID認識部825の一例の構成を図9を用いて説明する。ID認識部825には、レシーバ814よりBSY内部信号1204, SEL内部信号1208が入力され、レシーバ812よりSDB0~SDB7内部信号1105~1133が入力される。そしてスリープ解除信号833を出力する。同図において、901は本実施例のSCSIシステムのIDを保持しているOWNIDレジスタ、902はインバータ、903~912は2入力AND回路、913は8入力OR回路である。このID認識部825の動作の詳細については後で説明する。

【0061】続いて、図2のスリープ制御回路826の

14

一例の構成を図13を用いて説明する。図8から明らかなように、スリープ制御回路826には、ID認識部825からのスリープ解除信号833及びシーケンサ823からのスリープ設定信号830が入力される。そして、本実施例のSCSIバス制御回路703の機能ブロック843をスリープ状態とするスリープ制御信号828と、機能ブロック842をスリープ状態とするスリープ制御信号829を出力信号とする。

【0062】図13において、1301はスリープ解除選択レジスタであり、1302, 1303は2入力ANDゲート、1304, 1305はスリープ制御信号828, 829をそれぞれ保持するセット/リセット型ラッチ回路、1306は2入力ORゲートである。

【0063】さて、引き続き、上述した本発明の第2の実施例の動作を図8を中心に説明する。

【0064】まず、本実施例の要部の説明に先立ち、SCSIの一般的なシーケンスを図17, 図18, 図19を用いて概略説明する。SCSIシステムは、図3に示したメインCPU14などコマンドを発行するイニシエータとしてのホストコンピュータと、図3に示したファイルコントローラ17などのターゲットとしての周辺装置から構成される。

【0065】図17に示すように、SCSIシステムは、電源立ち上げによるリセット後、バスフリーフェーズである。このバスフリーフェーズは、SCSIバスがどのSCSIシステムによっても使用されていない状態である。図18に示すように、SCSIシステムはバスフリーフェーズにあるとき、BSY/1201, SEL/1205, SDB0/~SDB7/1101~1130, SDBP/1134をネゲート状態、すなわちハイレベルに保持している。次に、イニシエータは、バス権を獲得するためアービトレーションフェーズを開始する。すなわち、BSY/1201をアサートし、SDB0/~SDB7/1101~1130, SDBP/1134にイニシエータの装置番号であるOWNIDを出力する。イニシエータは、アービトレーションフェーズにてSCSIバス上のIDをチェックし、OWNIDが一番優先順位の高いIDである場合にバス権を獲得する。イニシエータはバス権を獲得すると、SEL/1205をアサートする。

【0066】次に、イニシエータは、コマンドを発行したいターゲットを選択するためにセレクションフェーズを開始する。すなわち、BSY/1201をネゲートし、SDB0/~SDB7/1101~1130, SDBP/1134にOWNIDに加えて、当該ターゲットの装置番号であるPARTNERIDを出力する。ターゲットは、BSY/1201がネゲート状態、SEL/1205がアサート状態であることを検出すると、SCSIバス上のIDと当該ターゲットのOWNIDを比較する。

【0067】SCSIバス上のIDと当該ターゲットの



OWNIDが一致している場合には、ターゲットは、BSY/1201をアサートしてイニシエータに回答する。イニシエータは、BSY/1201がアサートされたことを確認すると、SEL/1205をネゲートしセレクションフェーズを終了する。セレクションフェーズが終了すると、SCSIは、インフォメーショントランスファフェーズにはいる。インフォメーショントランスファフェーズでは、セレクションフェーズにて、接続されたイニシエータとターゲットとの間でコマンド、データ、メッセージ、ステータスの授受を行なう。

【0068】全てのコマンド、データ、メッセージ、ステータスの授受が終了すると、ターゲットは、BSY/1201をネゲートし、バスフリーフェーズにはいる。また、全てのコマンド、データ、メッセージ、ステータスの授受が終了していない場合でも、ターゲットにて処理に時間がかかる場合には、ターゲットは、BSY/1201をネゲートし、バスフリーフェーズにはいることが出来る。この場合、ターゲットは、内部の処理が終了したとき、アービトレーションフェーズを起動し、リセレクションフェーズにてイニシエータを選択し、コマンド、データ、メッセージ、ステータスの授受を続行することが出来る。また、イニシエータが、ターゲットに転送するコマンドにキュータグメッセージを付加することにより、ターゲットは複数のイニシエータからのコマンドを同時に受け付けることが出来る。

【0069】従来の、例えばNCR社製のSCSIコントロールLSI 53C90A、53C90Bは、アクセス待ち状態のとき、常にレシーバによってSCSIバスの全信号を監視し、シーケンサにてチェックすることにより、BSY/がネゲート状態で、SEL/がアサート状態であることを検出、SCSIバス上のIDをFIFOに取り込み、シーケンサにて自分のIDと比較することにより、セレクションフェーズの動作を行なっている。そのため、イニシエータからのコマンド待ち状態においても、常にシーケンサや内部回路を含めたSCSIバス制御回路全体が動作しており、消費電力が大きくなる。

【0070】さて、本実施例の動作について述べる。CPU1806(図7)は、SCSIバス601より与えられたコマンドの実行を全て終了し、SCSIプロトコルで規定されるコマンドキューが空になると、電源制御回路835へスリープ信号837を出力する。電源制御回路835は、Vcc1をオフ状態とし、SCSIバス制御回路701のID認識部825、スリープ制御回路826、レシーバ812、レシーバ814、2つの2入力AND回路からなる機能ブロック841を除く、機能ブロック842、843の全ての回路を駆動している電源を切断し、スリープモードに入る。

【0071】又、図10、図12に示すように本実施例のレシーバ814は、BSY/1201、SEL/12

05の入力回路を除き、スリープ信号827が入力されており、スリープ状態でスリープ信号827がハイレベルのとき、2入力NOR回路1002(図10)の出力は、常にローレベルに固定される。又、2入力OR回路1003の出力は常にHighレベルに固定される。従って、SCSIバスのMSG/1225が変化しても、内部信号1228はLowレベルに固定され変化しない。一般に、これらの回路はCMOSで作られており、信号が変化しないとき電流を消費しないので、スリープモードのとき、レシーバ814は、BSY/1201、SEL/1207の入力回路を除き電流を消費しないことになる。

【0072】次に、SCSIバスがアービトレーションフェーズに入り、セレクションフェーズに入ると、BSY/1201はハイレベル、SEL/1205はローレベルになる。ID認識部825は、図9に示す構成であるので、インバータ902の出力は、ハイレベルとなり、2入力ANDゲート903の出力はハイレベルとなる。そして、OWNIDレジスタ901に保持されているID値と、SDB0/~SDB7/1105~1133の値が一致するとスリープ解除信号833はハイレベルとなる。

【0073】例えば、OWNIDが“3”と設定されていたとすると、SDB3/1114がローレベルのときSDB3内部信号1117はハイレベルとなり、2入力AND回路908の出力はハイレベルとなる。よって、8入力OR回路913の出力はハイレベルとなる。したがって、2入力AND回路912の出力はハイレベルとなり、スリープ解除信号はハイレベルとなり、活性化開始信号として機能する。従って、電流制御回路835は、Vcc1をオン状態とし、機能ブロック843、842の電源を投入する。

【0074】一方、スリープ制御回路826は、図13に示す構成であるので、スリープ解除信号833がハイレベルになると、スリープ解除選択レジスタ1301の値に従って、スリープ状態ラッチ1304とスリープ状態ラッチ1305をリセットし、スリープ制御信号828、829がネゲートされる。スリープ制御信号828はシーケンサ823と、パリティ発生・検出器821とFIFO819のみをスリープ状態に設定する。スリープ制御信号829は、スリープ制御信号828にて制御する回路以外のSCSIバス制御回路701内の回路をスリープモードに設定する。例えば、スリープ解除選択レジスタ1301の値が“10”のとき、スリープ解除信号833がハイレベルになると、2入力AND回路1302の出力はハイレベルになり、2入力AND回路1303の出力はローレベルになる。

【0075】よって、スリープ状態ラッチ1304はリセットされ、スリープ状態ラッチ1305はセットされたままである。よって、スリープ制御信号828はロー

レベル、スリープ制御信号829はハイレベルとなる。したがって、シーケンサ823と、パリティ検出・発生器821とFIFO819のみがスリープ状態から解除される。シーケンサ823は、パリティ検出・発生器821にてパリティエラーが発生していないことを確認し、IDエラーが発生していないことを確認してから、他の回路をスリープモードから復帰させる。もし、パリティエラーまたはIDエラーが発生しているならば、シーケンサ823と、パリティ検出・発生器821とFIFO819は、再びスリープモードとなる。これが、本実施例において機能ブロック842、843を別個のスリープ制御信号829、828で制御する理由である。

【0076】CPU1806は、一定時間SCSIバス制御回路701からの割込み信号を待ち、割込み信号が来ない場合には、電源制御回路835に再びスリープ信号837を出力して、SCSIバス制御回路701の機能ブロック841を除き全ての回路を駆動している電源を切断する。

【0077】以上詳述してきた本発明の第1の実施例によれば、応答性を損なうことなくコマンド待ち状態における消費電流を最小限に抑えることができる。

【0078】次に、本発明の第3の実施例について、図14～図16を用いて説明する。

【0079】一般に、各SCSIバスは、48mAシンクのオープンコレクタ又はオープンドレインのドライバを用いるため、図14に示すように、各SCSIバスの信号線には、反射が余り問題にならない規模のシステムであっても、220Ωと330Ωの終端抵抗を付ける必要があり、終端抵抗に常に $5V/550\Omega \times 18 = 164mA$ の電流が流れる。

【0080】そこで、本実施例においては、図15に示すようにSCSIバス制御回路1500、SCSIバス601、220Ω×18本の抵抗1502、330Ω×18本の抵抗1503、440Ω×18本の抵抗1504、660Ω×18本の抵抗1506、及びスイッチ1501、1505より構成される。

【0081】SCSIバス制御回路1500の本実施例における構成は図16に示すものとなる。同図において、外部CPUデータバス801は、CPU1806（図7）から、SCSIバス制御回路1500をアクセスするためのデータバスである。同図において、図8と同一の符号を付したブロックは図8のものと同一の機能を有するブロックでありここでは詳述しない。1601は本実施例のSCSIバス制御回路1500をコントロールするシーケンサであり、1602、1603はセレクトである。そして、1604、1606はSCSIデータバスシングルエンド48mAシンクドライバであり、先の実施例におけるドライバ813、824に対応する。1605、1607はSCSIデータバスシングルエンド24mAシンクドライバである。セレクト16

02、1603の機能は後で説明するように、48mAシンクドライバ1604、1606と24mAシンクドライバ1605、1607を切り換える機能を有する。1608はセレクト切替レジスタであり、CPU1806によって書き込まれたセレクト切替情報を保持する。

【0082】なお、ここでは図7に示したハードディスク装置の概略構成は特に図示しないが、本実施例においては電源制御装置835は必要なく、CPU1806に対して、セレクト切替情報を与えるビットスイッチがCPU1806への入力手段として機能的に追加される。

【0083】次に、本実施例の動作について説明する。本実施例ではユーザのビットスイッチ操作に基づきCPU1806は、SCSIバス制御回路1500に対し、セレクト1602、1603によって48mAシンクドライバ、24mAシンクドライバのどちらかを選択するよう制御信号を発生する。すなわち、CPU1806はビットスイッチの値を取り込み、内部CPUデータバス801を使って、セレクト切替レジスタ1608に値を書き込む。セレクト切替レジスタ1608は、この値に従いセレクト切替信号1609を各セレクト1602、1603に送る。

【0084】例えば、図16に示したSCSIシステムが8台につながるような比較的大きなシステムに接続する場合、外部CPU1806はユーザによって48mAシンクドライバ対応に切替えられたビットスイッチの値をセレクト切替レジスタ1608に書き込み、セレクト切替レジスタ1608はその値によって、制御信号1609を制御し、セレクト1602、1603は48mAシンクドライバ1604、1606を選択する。

【0085】又、ユーザは図15のスイッチ1501を接続状態、スイッチ1505を非接続状態とする。このように接続することにより、SCSIプロトコルに従ったSCSIバスドライバを構成することができ、最大6m、8台まで接続可能となる。しかし、全端子アサート状態では、 $48mA \times 18 = 864mA$ の電流を消費し、全端子ネゲート状態でも164mAの電流を消費する。

【0086】次に、ノートパソコンのような反射の気にならない比較的小さなシステムに組み込む場合には、48mAシンクドライバは必要ないため、外部CPU1806は24mAシンクドライバ対応に切替えられたビットスイッチに基づき、セレクト1602、1603を24mAシンクドライバを選択するように設定する。又、ユーザは図15のスイッチ1505を接続状態、スイッチ1501を非接続状態とする。このように接続することにより、24mAシンクドライバを用いたSCSIバスドライバを構成することができる。全端子アサート状態では、 $24mA \times 18 = 432mA$ の消費電流、全端子ネゲート状態でも82mAの消費電流となり、消費電流は、48mAシンクドライバを用いた場合の約半分と

することができる。

【0087】すなわち、本実施例のSCSIコントローラLSIは、引込み電流の小さいSCSIバสดライバと、48mAシンクのSCSIバสดライバの両方を持つので、通常のSCSIシステムの場合には48mAシンクのSCSIバสดライバを使用し、反射の気にならないような小規模のSCSIシステムの場合には、引込み電流の小さいSCSIバสดライバを使用することにより、各端子のアサート時の消費電流を削減することができる。さらに、引込み電流の小さいSCSIバสดライバを使用する時、引込み電流に応じた終端抵抗を使用することにより、48mAシンクのSCSIバสดライバを使用し、220Ωと330Ωの終端抵抗を使用する場合に比べ、終端抵抗の抵抗値が大きくなるため、反射の気にならないような小規模のSCSIシステムの場合には、各端子ネグート時の消費電流を削減することができる。

【0088】さらに、本実施例のSCSIシステムは、引込み電流の小さいSCSIバสดライバと、48mAシンクのSCSIバสดライバを切り替え可能とし、引込み電流の小さいSCSIバสดライバ使用時には、引込み電流に応じた終端抵抗が接続され、48mAシンクのSCSIバสดライバ使用時には、220Ωと330Ωの終端抵抗が接続されることで、システムの大きさに対応して、最適なSCSIバสดライバを選択することができ、消費電流を必要最小限にすることができる。

【0089】

【発明の効果】本発明によれば、周辺装置、周辺機器制御装置の低消費電力化が図れる。また、外部のプロセッサ等の負担を軽減しながら、消費電力を最大限に低減することができる周辺制御用LSIを提供することができる。さらに、周辺制御装置において、外部のプロセッサ等からのコマンド待ち状態における消費電力を削減し、かつ、良好な応答性を維持することができる。特に、SCSIシステムの消費電流の削減を容易に行うことが可能である。

【図面の簡単な説明】

【図1】本発明による周辺制御装置の一実施例を示す回路ブロック図、

【図2】図1に示した消費電力制御回路2の一例を示す回路構成図、

【図3】本発明の周辺制御装置や周辺制御用LSIが用いられる情報処理装置の一例を示すブロック図、

【図4】図1に示した実施例の動作を説明するための第

1のタイミングチャート、

【図5】図1に示した実施例の動作を説明するための第2のタイミングチャート、

【図6】本発明をSCSIシステムに適用した第2の実施例の原理を説明するための概略構成図、

【図7】図6に示した本発明の第2の実施例であるSCSIシステムをハードディスク装置に適用する場合の概略構成図、

【図8】図7のSCSIバス制御回路701の一例を示す回路ブロック図、

【図9】図8に示したSCSIバス制御回路内のID認識部825の一例を示す回路図、

【図10】図8に示したレシーバ814の一例の部分的な回路図、

【図11】図8に示したレシーバ812の一例の回路図、

【図12】図8に示したレシーバ814の全体の概略的な回路図、

【図13】図8に示したスリープ制御回路826の一例の回路図、

【図14】本発明が適用されるSCSIバスの終端抵抗を説明するための回路図、

【図15】本発明の第3の実施例におけるSCSIバスの一例を示す回路図、

【図16】本発明の第3の実施例におけるSCSIバス制御回路の一例を示すブロック図、

【図17】本発明の第2、第3の実施例が適用されるSCSIシステムにおける状態遷移図、

【図18】本発明の第2、第3の実施例が適用されるSCSIシステムにおけるSCSIプロトコルの概略的シーケンスを説明するための説明図、

【図19】本発明の第2、第3の実施例が適用されるSCSIシステムにおけるSCSIプロトコルの概略的シーケンスを説明するための他の説明図、

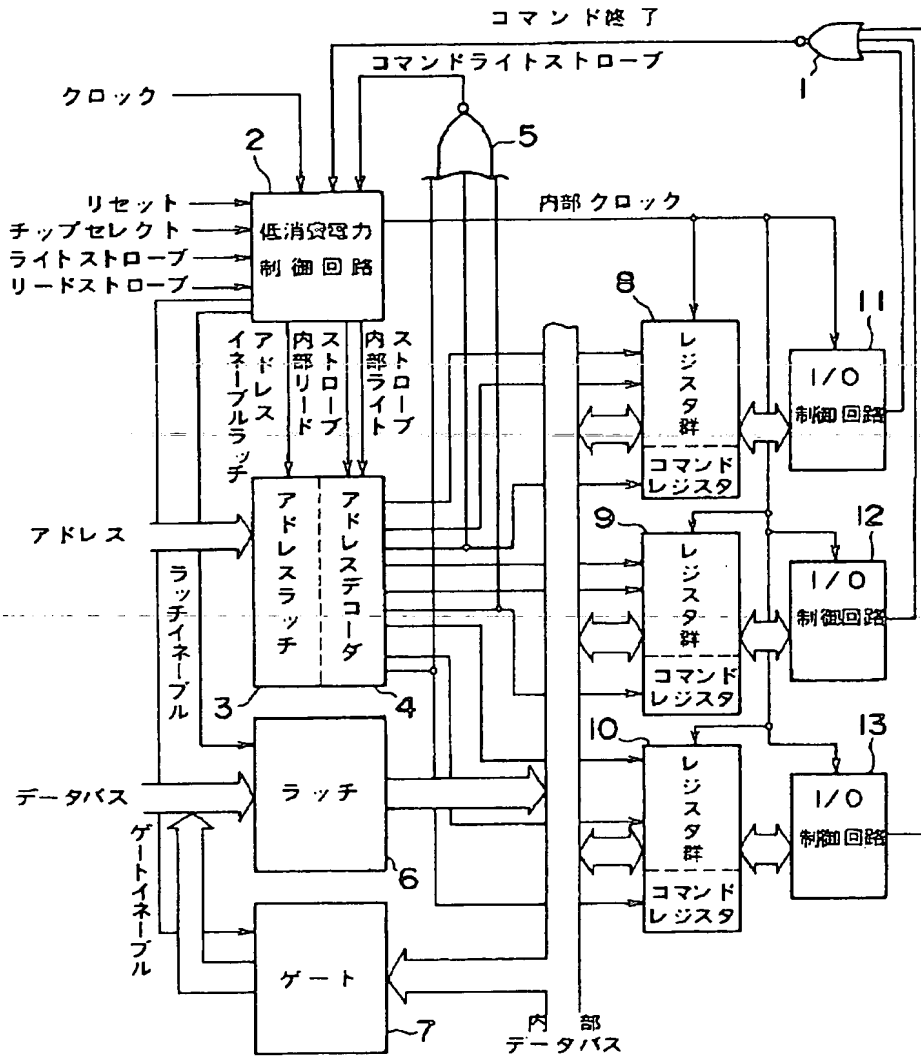
【図20】従来のATバスを用いたハードディスク装置の一例を示す概略図。

【符号の説明】

2…低消費電力制御回路、3…アドレスラッチ、4…アドレスデコーダ、6…ラッチ、7…ゲート、8～10…レジスタ群、11～13…I/O制御回路、601…SCSIバス、602…SCSIコントローラ、603…ID認識部、604…ID認識部以外の機能ブロック、605…スリープ解除信号。

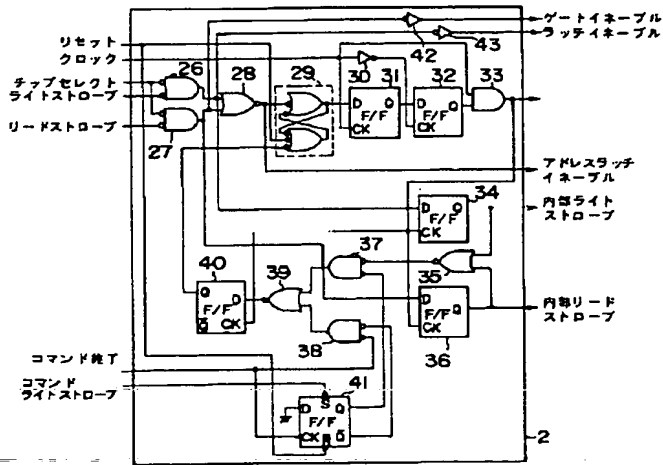
【図1】

図 1



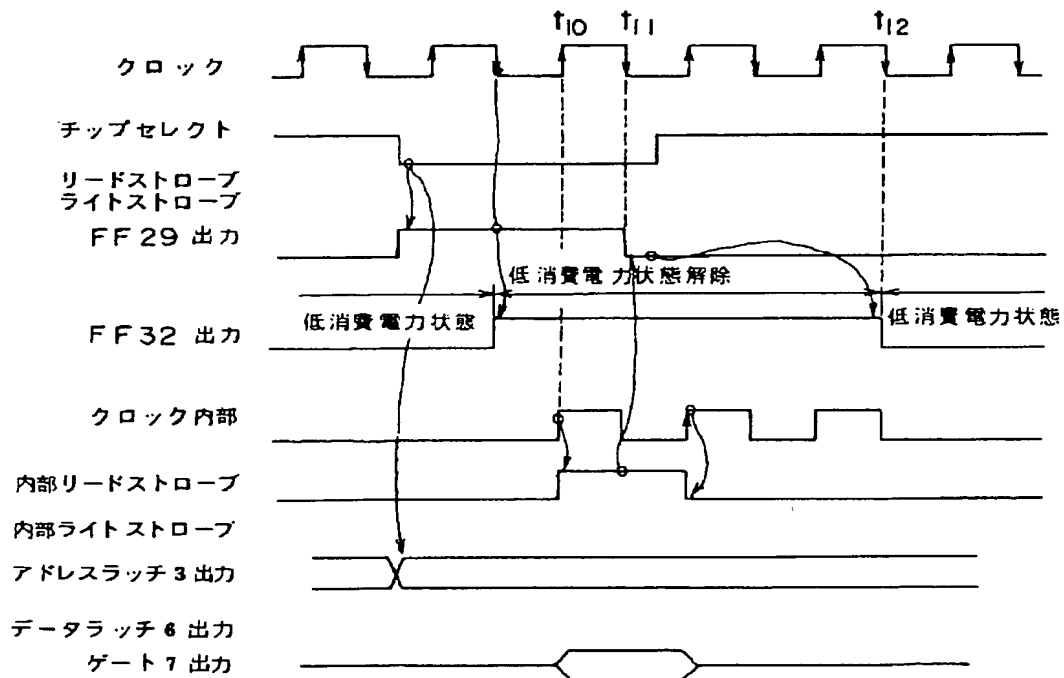
【図2】

図 2



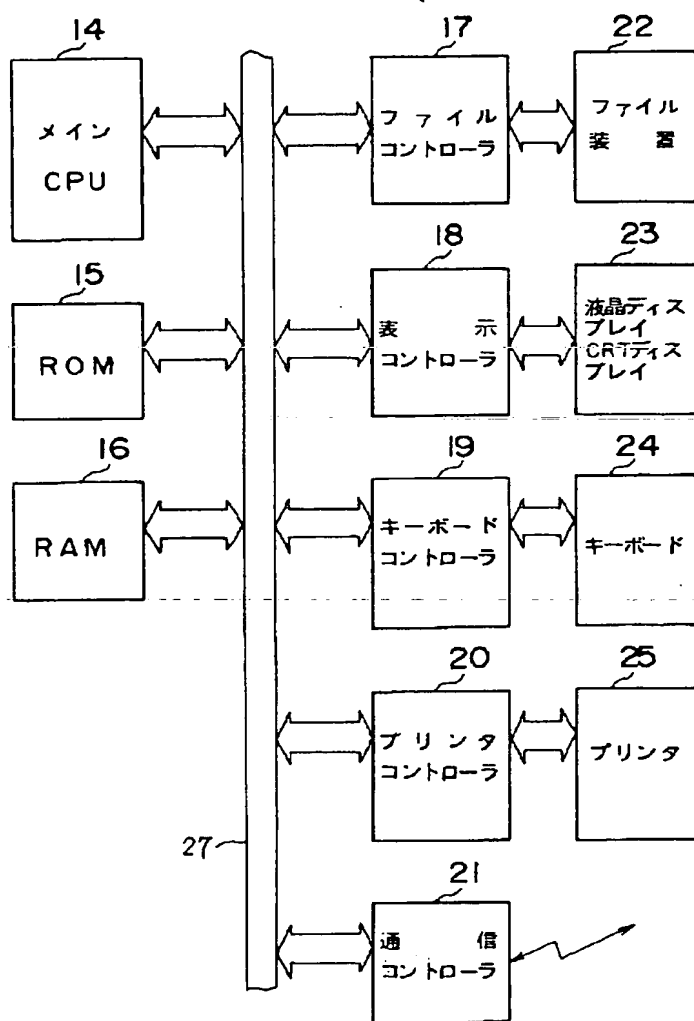
【図5】

図 5



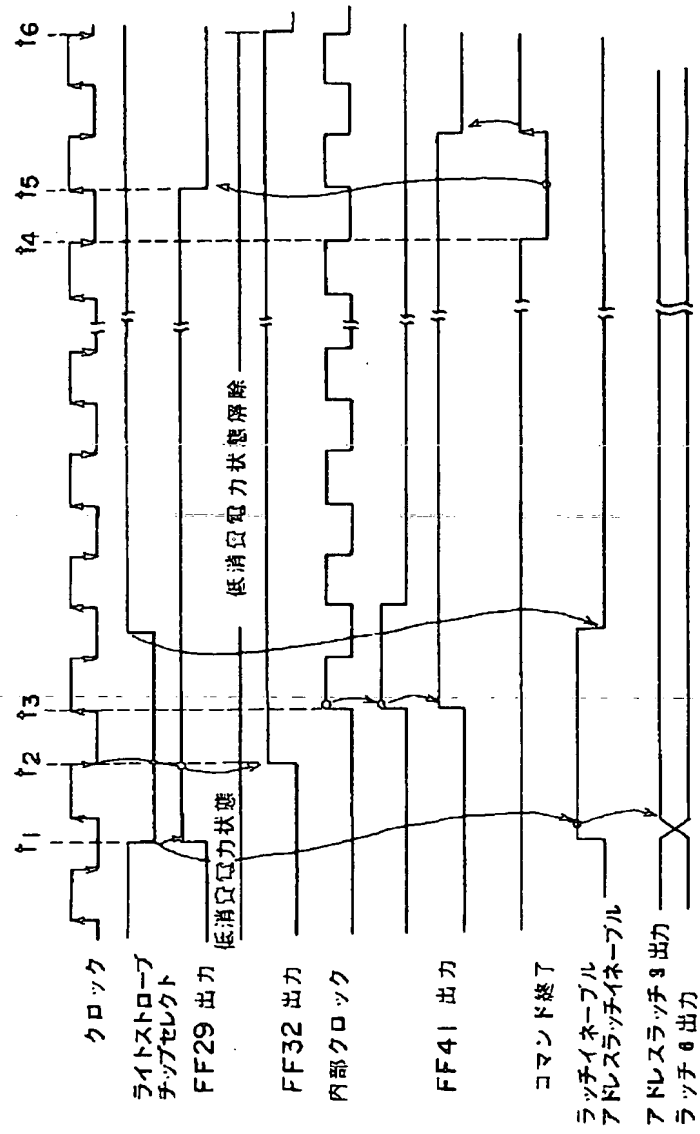
【図3】

図 3



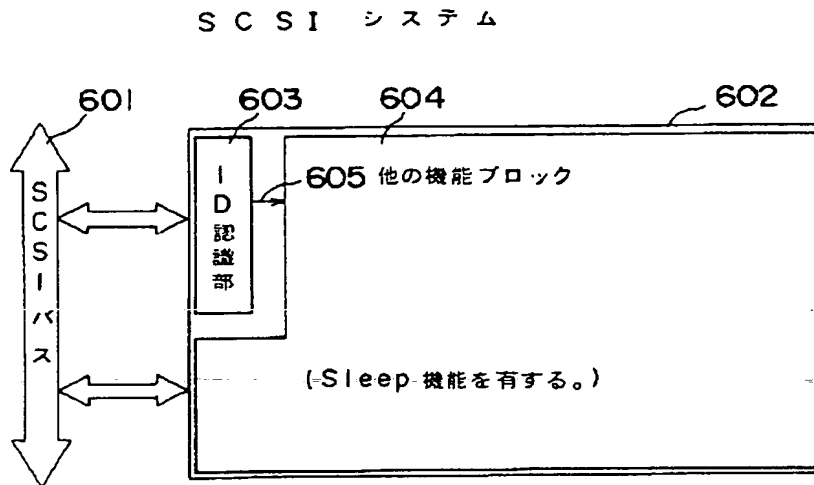
【図4】

図 4



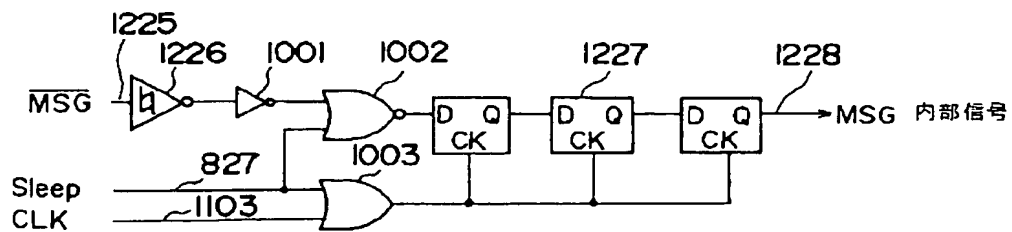
【図6】

図 6



【図10】

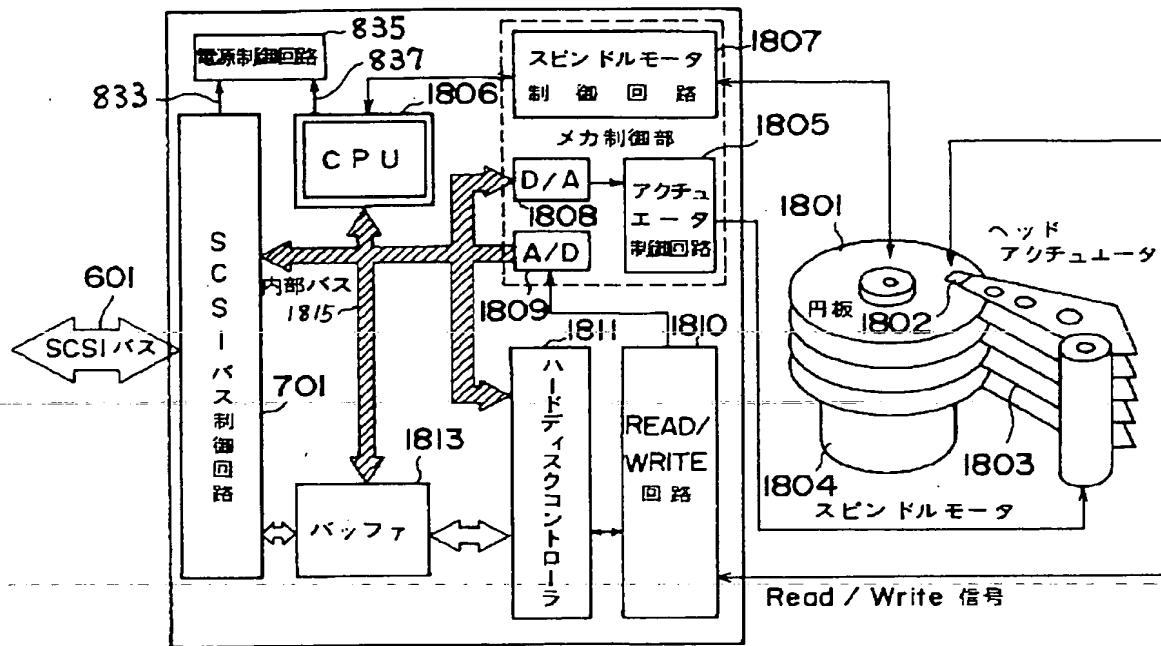
図 10





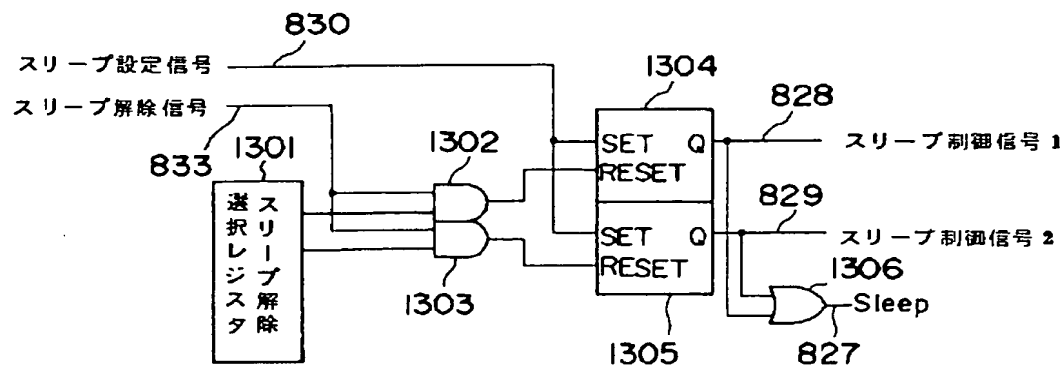
【図7】

図 7



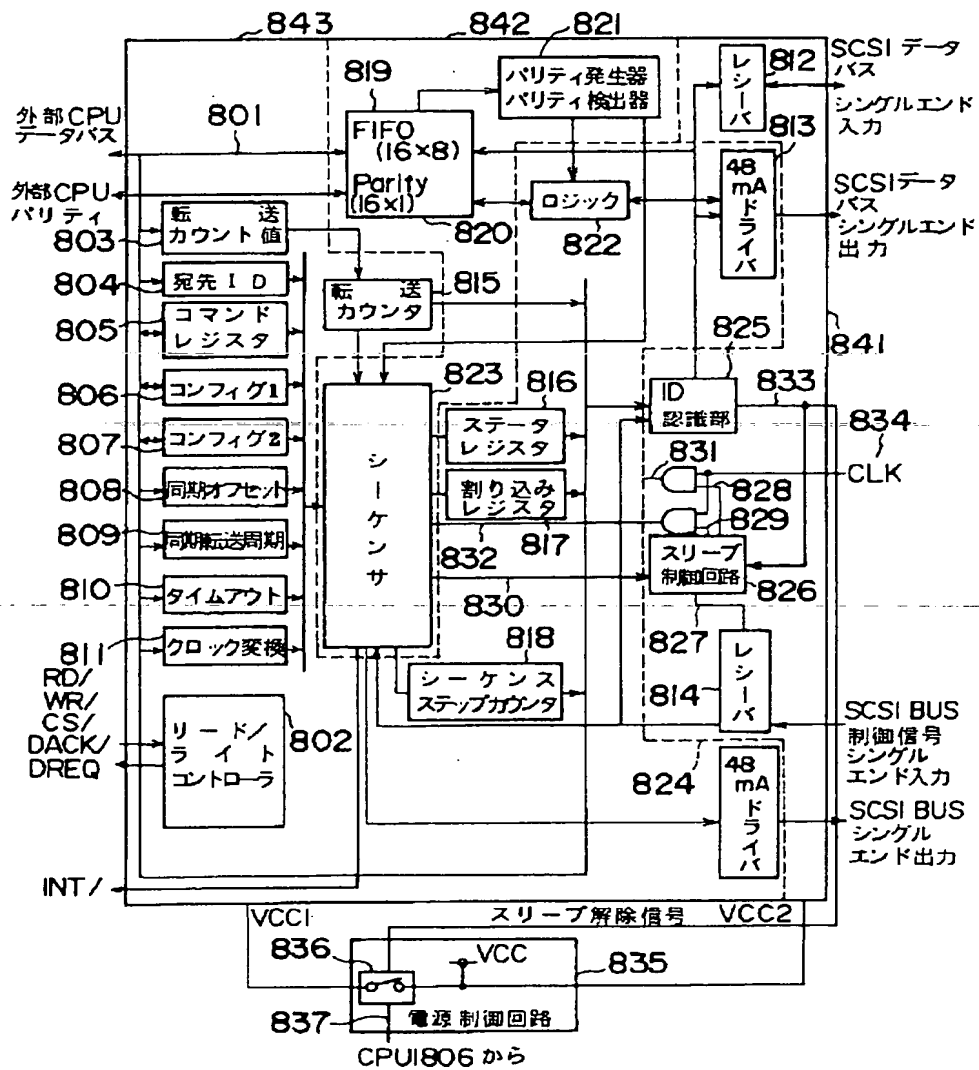
【図13】

図 13



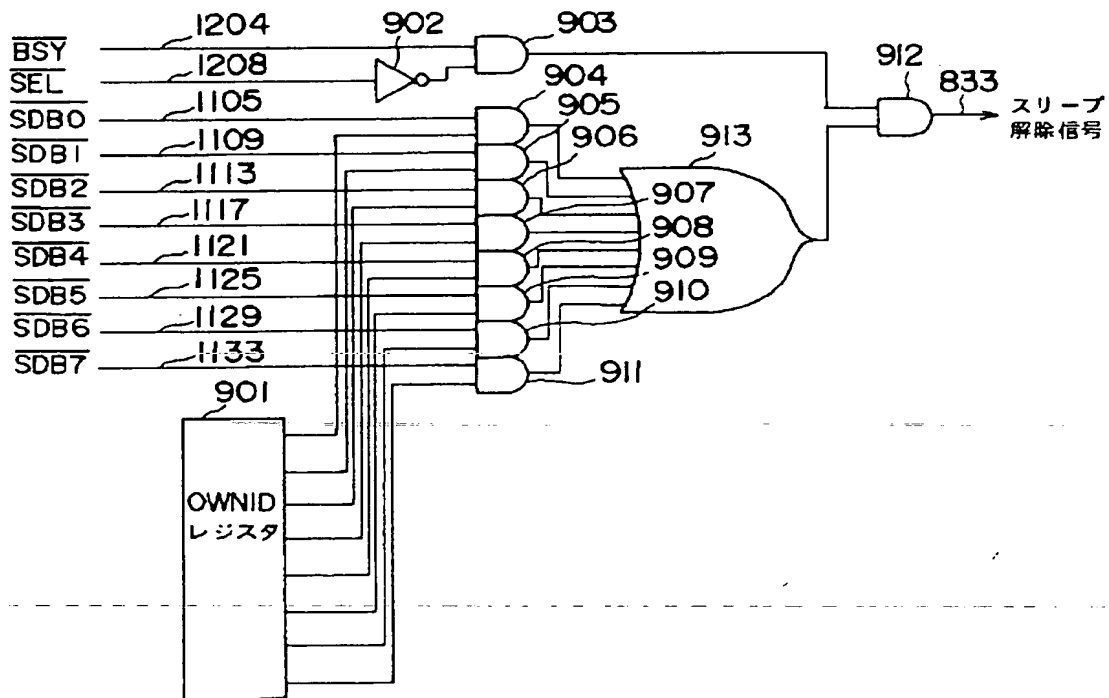
【図8】

図 8



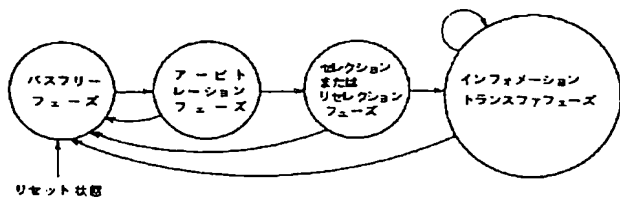
【図9】

図 9



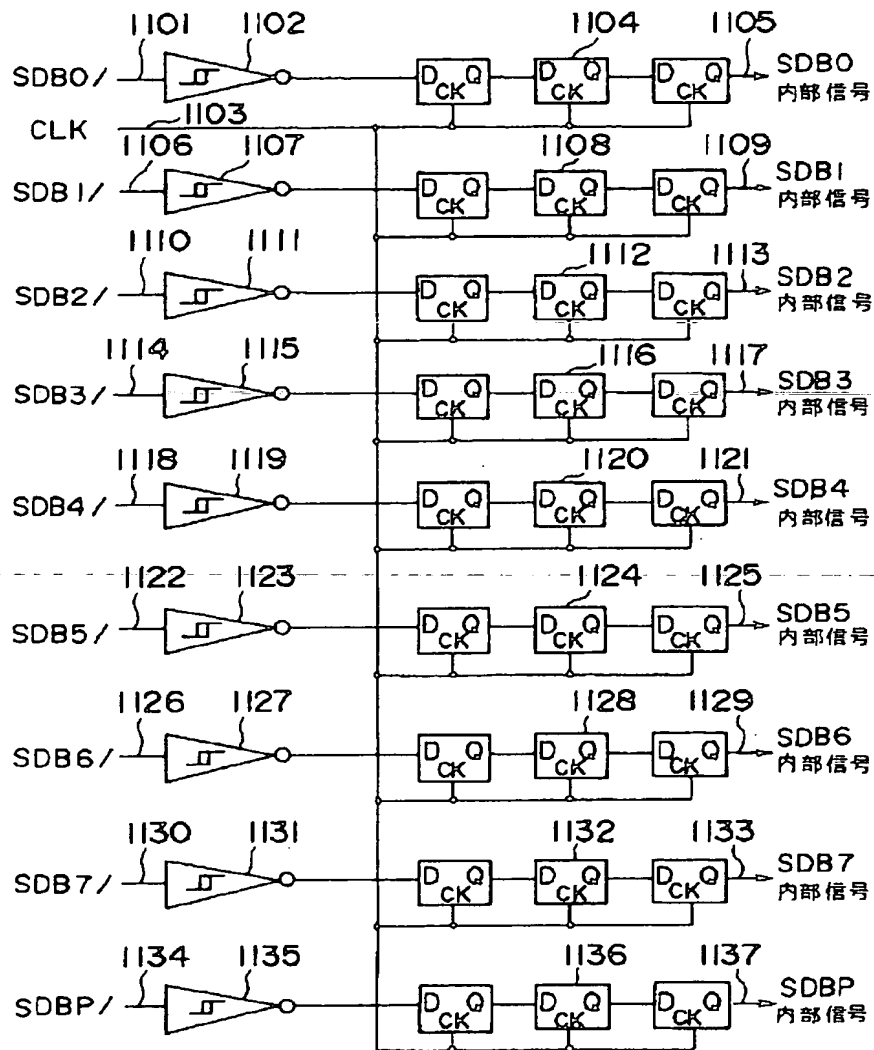
【図17】

図 17



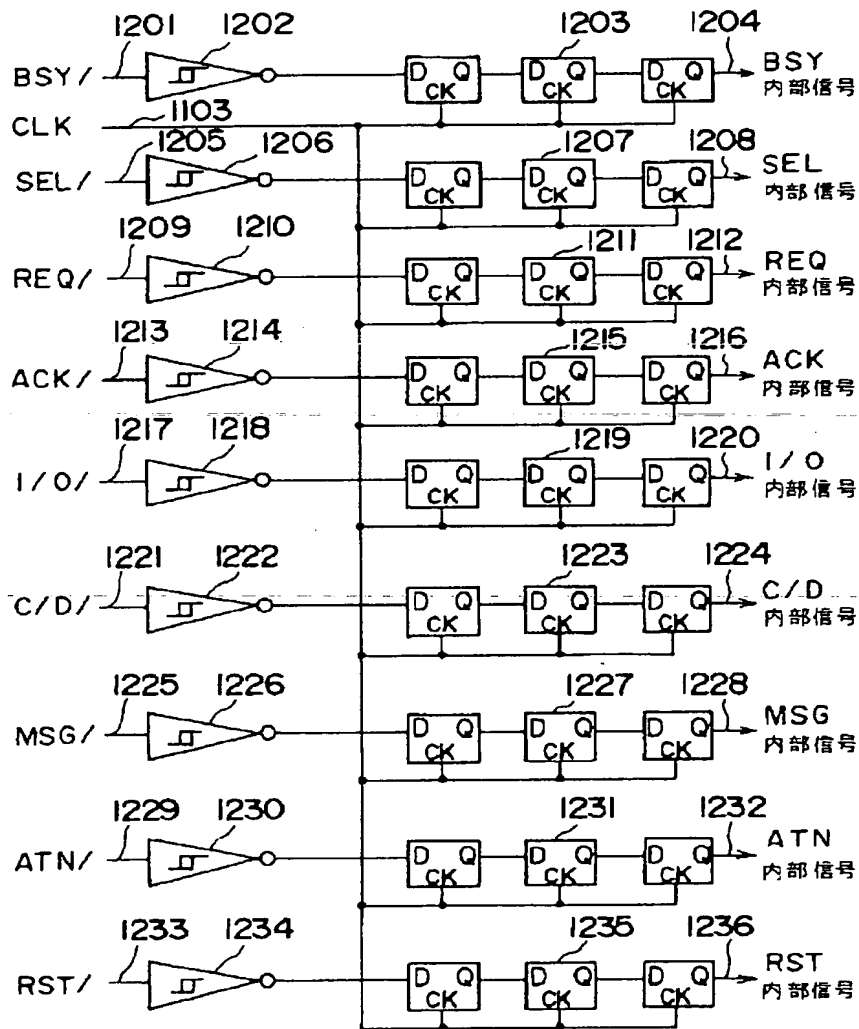
【図11】

図 11

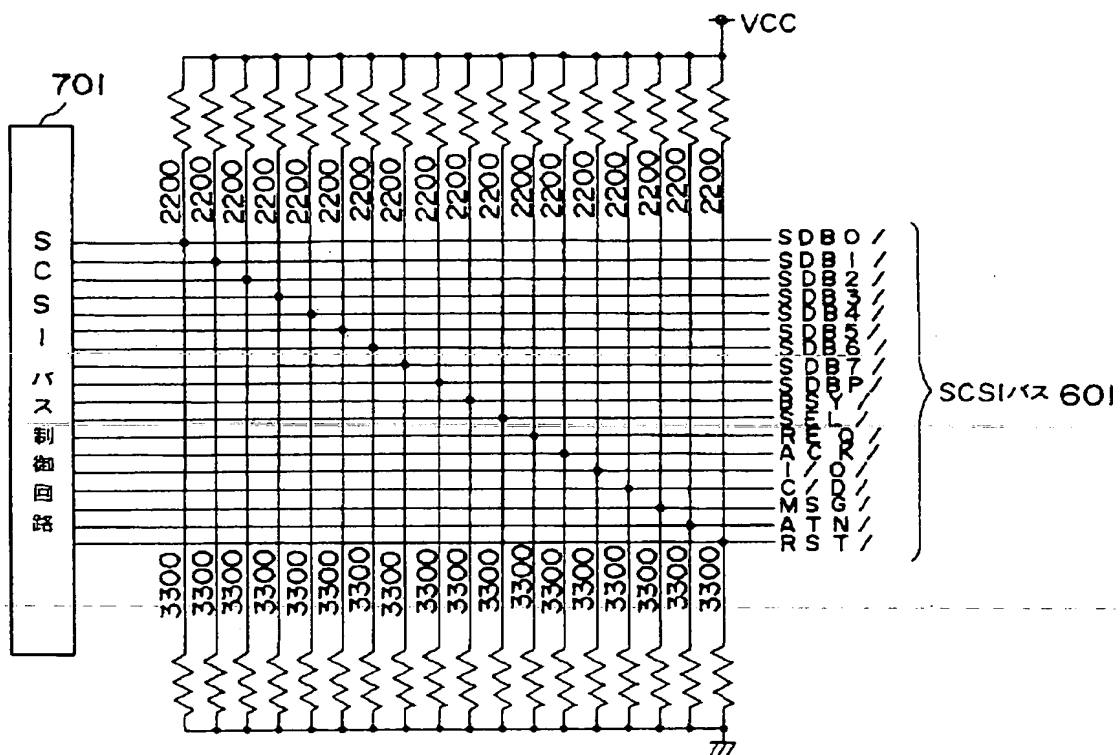


【図12】

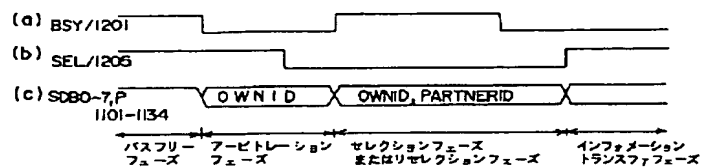
図 12



14

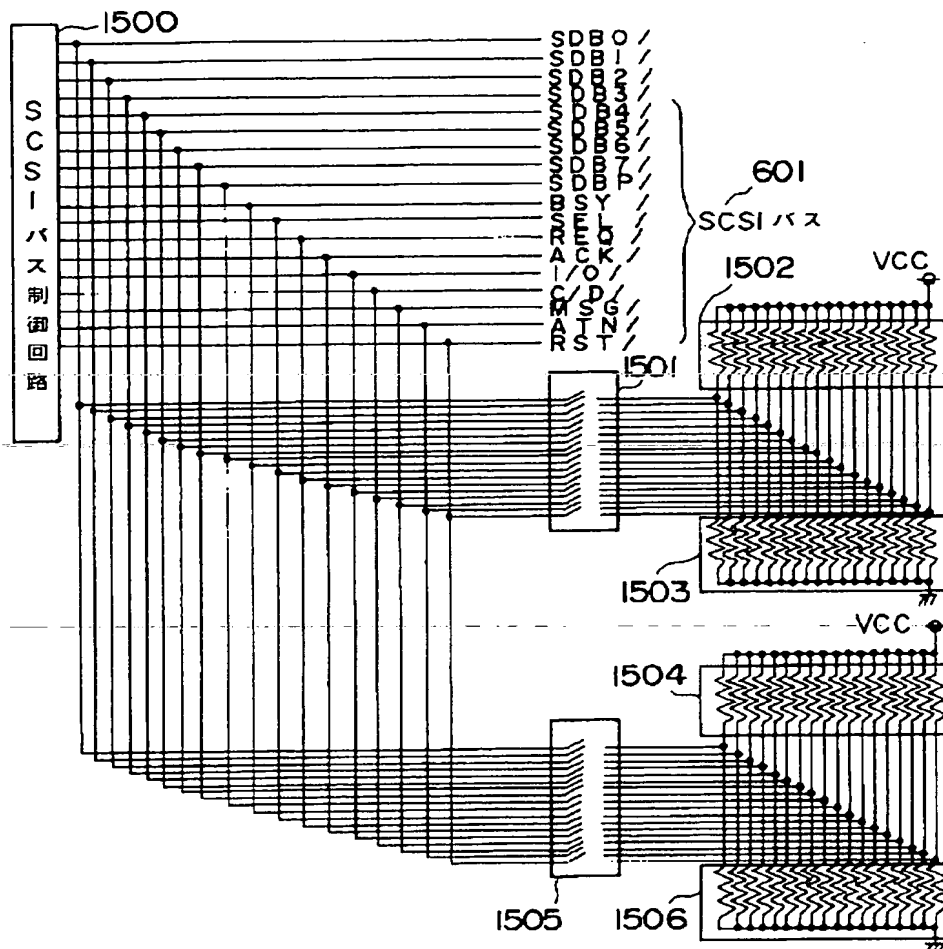


18



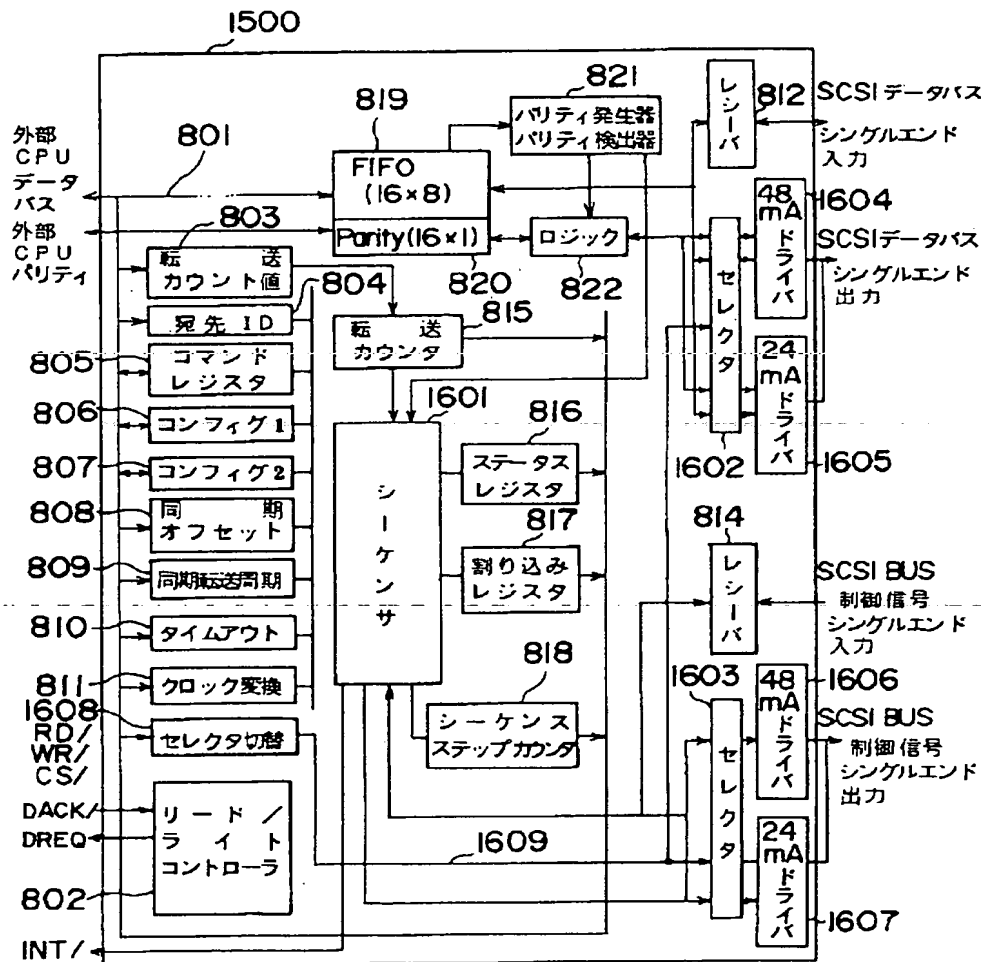
【图 15】

15



【図16】

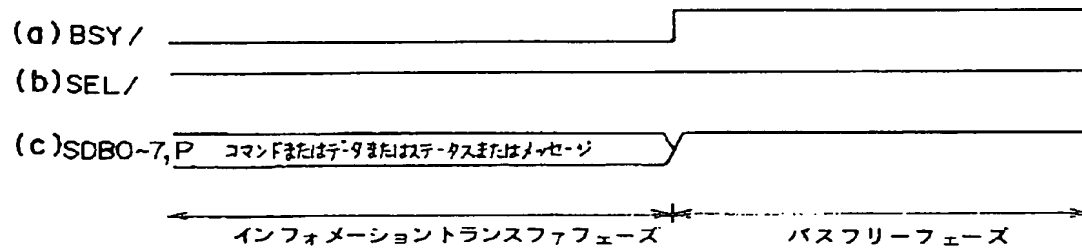
図 16





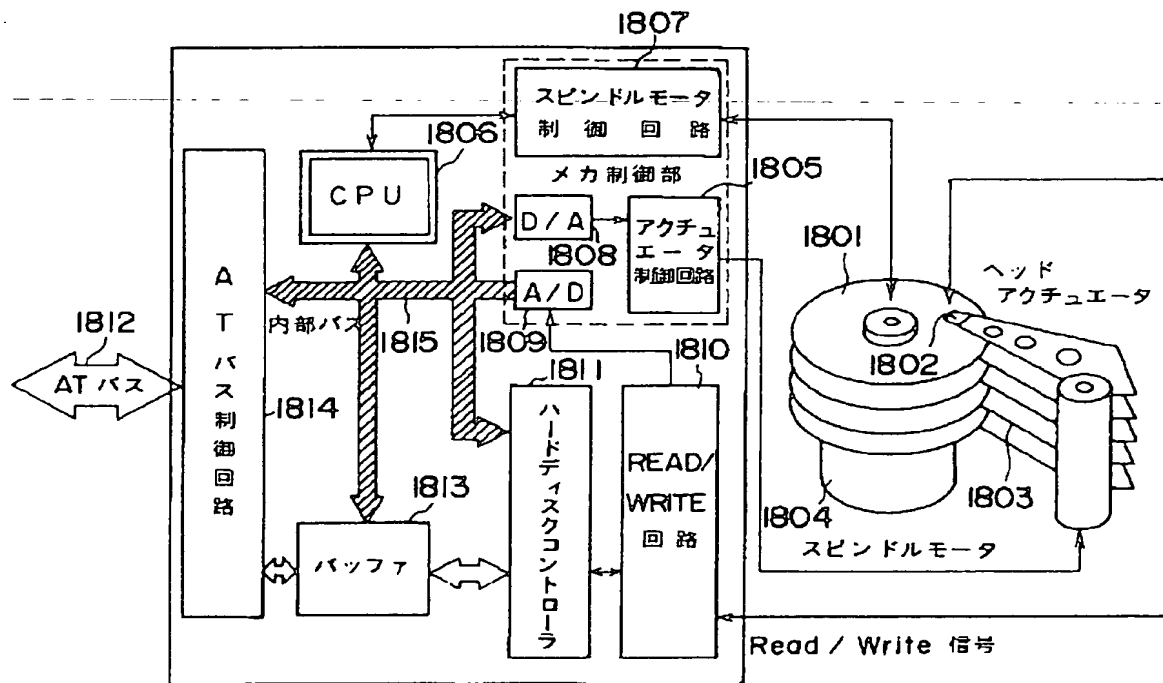
【図19】

図 19



【図20】

図 20



## フロントページの続き

(72)発明者 渡辺 国夫  
神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所マイクロエレクトロニク  
ス機器開発研究所内

(72)発明者 児島 伸一  
群馬県高崎市西横手町111番地 株式会社  
日立製作所半導体設計開発センタ内  
(72)発明者 志田 光司  
東京都小平市上水本町五丁目20番地1号  
株式会社日立製作所半導体設計開発センタ  
内